

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-053258

(43)Date of publication of application : 20.02.1992

(51)Int.Cl.

H01L 27/04

(21)Application number : 02-161728

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 20.06.1990

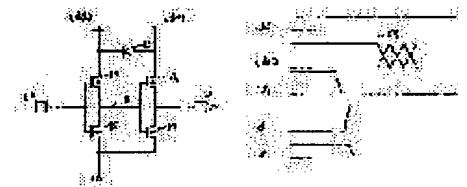
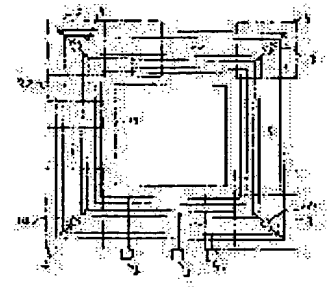
(72)Inventor : KUBOKAWA MICHIO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable a semiconductor device to operate even if the power supply of a second power supply terminal is shut off on standby or in sleep by a method wherein a diode is connected between a first and a second power supply terminal at the corner of a chip so that the biasing in the direction of the first to the second terminal may be the forward biasing.

CONSTITUTION: A first power supply terminal vdd1 is supplied from a PAD2 and connected to a logic inside a chip, and a second power supply terminal vdd2 is also supplied from the PAD1. A ground terminal vss is connected to a PAD3 and connected to the logic 12 inside the chip. At this point, diode means 8, 9, 10, and 11 are connected to the corner of the chip so that the biasing in the direction of the first power supply terminal vdd1 to the second power supply terminal vdd2 may be the forward biasing. In result, even if the second power supply terminal vdd2 is cut off, as the second power supply terminal vdd2 is supplied from the first power supply terminal vdd1 through the intermediary of the diode means 8, 9, 10, and 11, a logic can be kept stable.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平4-53258

⑬ Int. Cl.⁵

H 01 L 27/04

識別記号

D

庁内整理番号

7514-4M

⑭ 公開 平成4年(1992)2月20日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-161728

⑰ 出 願 平2(1990)6月20日

⑱ 発 明 者 久 保 川 道 矢 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

〔産業上の利用分野〕

本発明は2つの電源系を内蔵している半導体装置に関する。

〔従来の技術〕

従来の2つの電源系を内蔵している半導体装置の入出力(I/O)セルにおいては、第3図のように第二の電源端子(vdd2)が第一段目の入力回路に接続され、第一の電源端子(vdd1)が第二段目の入力回路に接続されている。このとき第二の電源端子(vdd2)の電圧は第一の電源端子(vdd1)の電圧より高いものとする。通常の動作では2つの電源端子とも電源が供給されており、スタンバイ状態やスリープ状態でも2つの端子に電源を供給していた。

〔発明が解決しようとする課題〕

しかし従来の回路構成の問題点としては、パワーを節約するために第二の電源端子(vdd2)の電源を切った場合に、第3図において第一段目の入力回路の電源が供給されなくなるのでBの信号が不定となって第二段目の入力回路も不定とな

1. 発明の名称

半導体装置

2. 特許請求の範囲

2つの電源系を内蔵している半導体装置に於て、

(a) 第一の電源端子手段、

(b) 第一の電源端子手段よりも高い電圧が印加されている第二の電源端子手段、

(c) 第一の電源端子手段から第二の電源端子手段の方向が順方向バイアスであり、第二の電源端子手段から第一の電源端子手段の方向が逆バイアスに接続された第一のダイオード手段、

(d) 第一のダイオード手段が前記半導体装置に於てコーナー部に少なくとも一つあることを特徴とする半導体装置。

3. 発明の詳細な説明

り、かつこの回路にはショート電流が流れるため、この半導体装置は動作しなくなる。

これを避けるために別のバックアップ電源から新たに電源を供給しなければならず、性能、価格の面で問題が大であった。

そこで本発明はこのような問題点を解決するもので、その目的とするところは、バックアップ時あるいはスリープ時などパワーを下げたいときに第二の電源端子(vdd2)の電源を切っても動作が出来、かつパワーの低い半導体演算装置を提供することにある。

【課題を解決するための手段】

2つの電源系を内蔵している半導体装置に於て、

- (a) 第一の電源端子手段、
- (b) 第一の電源端子手段よりも高い電圧が印加されている第二の電源端子手段、
- (c) 第一の電源端子手段から第二の電源端子手段の方向が順方向バイアスであり、第二の電源端子手段から第一の電源端子手段の方向が逆バイア

3

きに従来はI/Oセルがおけなくて無駄なスペースとなっている、半導体装置のコーナー部を使うことで比較的大きなダイオードを簡単に作ることが出来る特徴を有する。

【実施例】

第1図は本発明の実施例の半導体装置のレイアウト図である。また第2図は第1図のダイオード部を回路と組み合わせたものである。また第4図は第二の電源端子(vdd2)が途中で切られて不定状態になったときの本発明による動作を分かりやすく説明するためのタイミングチャート図である。第1図、第2図および第4図に従って説明を進めることにする。

第1図において、第二の電源端子(vdd2)はチップの最外周を回っており、第一の電源端子(vdd1)はその内側を回っている。そして接地端子(vss)は更にその内側を回っている。第一の電源端子(vdd1)はPAD(2)より供給され、チップ内部のロジックに接続されており、第二の電源端子(vdd2)もPAD(1)

スに接続された第一のダイオード手段、

(d) 第一のダイオード手段が前記半導体装置に於てコーナー部に少なくとも一つあることを特徴とする。

【作 用】

本発明の上記の構成による特徴を以下に第1図と第2図及び第4図に従って説明する。

第1図において、第一の電源端子(vdd1)と第二の電源端子(vdd2)の間に第一の電源端子(vdd1)から第二の電源端子(vdd2)の方向が順バイアスである第一のダイオードを接続する。これにより第4図において第二の電源端子(vdd2)が切られてしまっても第一の電源端子(vdd1)から第一のダイオードを通して電源が第二の電源端子(vdd2)に供給されBの信号が不定になることはなくなる。

このことにより、スタンバイ時、スリープ時において第二の電源端子(vdd2)の電源を切ったとしてもこの半導体装置は動作可能である。また実際にこの回路を半導体装置として構成すると

4

より供給されている。接地端子(vss)はPAD(3)につながり、チップの内部のロジック(12)に接続されている。チップの周辺部にはI/Oセル(22)が並んでいる。このときチップのコーナー部(4、5、6、7)はI/Oセル(22)はおくことが出来ないもので、ほとんどの場合無駄なスペースとなってしまうので通常は電源線である第一の電源端子(vdd1)、第二の電源端子(vdd2)と接地端子(vss)を回しているだけである。本発明ではこのコーナー部にダイオード手段を配置することで無駄なスペースを有効に使うことが可能になる。また第1図の中に示されているようにダイオード手段(8、9、10、11)を第一の電源端子(vdd1)から第二の電源端子(vdd2)の方向が順方向になるように接続することで、もしも第二の電源端子(vdd2)が切られて不定状態になったとしても、第一の電源端子(vdd1)からダイオード手段の8、9、10、11を通して第一の電源端子(vdd1)からvdd1の電圧が第二の

電源端子 (v d d 2) に供給されるために第二の電源端子 (v d d 2) に接続されているロジック部が浮いてしまうことによるロジック部の不定やショート電流が次段のロジックに流されることはなくなる。

第4図はその状態をタイミング図で示したものである。図中のXのところでは第二の電源端子 (v d d 2) が切られてしまったときに、第一の電源端子 (v d d 1) からダイオード手段の8、9、10、11を通して第一の電源端子 (v d d 1) からv d d 1の電圧が第二の電源端子 (v d d 2) に供給されるために第二の電源端子 (v d d 2) に接続されているロジック部の状態は確定したままで不定にはならず一定の状態を保ったままである。第2図は上記のことを分かりやすく説明するための図であるが、ここでダイオード手段を第一の電源端子 (v d d 1) から第二の電源端子 (v d d 2) の方向が順方向になるように接続することで、第二の電源端子 (v d d 2) が切られてしまったときに、第一の電源端子 (v d d 1)

からダイオード手段 (13) を通して第一の電源端子 (v d d 1) からv d d 1の電圧が第二の電源端子 (v d d 2) に供給されるために第二の電源端子 (v d d 2) に接続されているロジック部であるインバータのPCH MOSトランジスタのソース端子に第一の電源端子 (V d d 1) からv d d 1の電圧が印加されているのでPCH MOSトランジスタが浮くことはなくドレイン端子の出力であるBは確定値をとる。また次段のロジック部であるインバータの入力も確定するためにこの部分でのショート電流が流れることはない。

本実施例ではダイオード手段をチップの各コーナー部分に入れているが、これは少なくとも一箇所入っていれば動作は可能である。また電源線のv d d 1、v d d 2、v s sの順番も任意で構わない。また、ダイオード手段としては、たんにダイオードだけに制限されず、トランジスタを使っても電流はv d d 1からv d d 2へ流すことは可能であり同等の効果を有することは明かである。

7

〔発明の効果〕

以上述べたように、本発明の上記の構成によれば第一の電源端子 (V d d 1) と第二の電源端子 (V d d 2) の間に第一の電源端子 (V d d 1) から第二の電源端子 (V d d 2) の方向が順バイアスである第一のダイオードを接続し、これにより第二の電源端子 (V d d 2) が切られてしまっても第一の電源端子 (V d d 1) から第一のダイオードを通して電源が第二の電源端子 (V d d 2) に供給され、スタンバイ時、スリープ時において第二の電源端子 (V d d 2) の電源を切ったとしてもこの半導体装置は動作可能であり、また実際にこの回路を半導体装置として構成するとき従来はI/Oセルがおけなくて無駄なスペースとなっている半導体装置のコーナー部を使うことでチップの面積の節約も可能であるという特徴をもちその効果は絶大なものがある。

4. 図面の簡単な説明

第1図は本発明の一実施例を示す半導体装置の

8

レイアウト図。

第2図は本発明の一実施例の回路図。

第3図は従来の回路図の一例を示す図。

第4図は第1図の動作を示したタイミングチャート図。

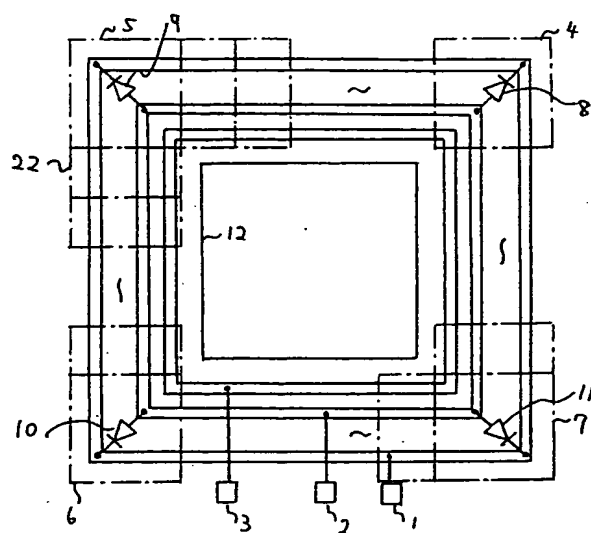
第5図は第3図の動作を示したタイミングチャート図。

- 1・・・第二の電源端子 (V d d 2) のPAD
- 2・・・第一の電源端子 (V d d 1) のPAD
- 3・・・接地端子 (v s s) のPAD
- 4・・・半導体装置のコーナー部
- 5・・・半導体装置のコーナー部
- 6・・・半導体装置のコーナー部
- 7・・・半導体装置のコーナー部
- 8・・・ダイオード手段
- 9・・・ダイオード手段
- 10・・・ダイオード手段
- 11・・・ダイオード手段
- 12・・・ロジック部

- 13・・・ダイオード手段
- 14・・・P型MOS トランジスタ
- 15・・・N型MOS トランジスタ
- 16・・・P型MOS トランジスタ
- 17・・・N型MOS トランジスタ
- 18・・・P型MOS トランジスタ
- 19・・・N型MOS トランジスタ
- 20・・・P型MOS トランジスタ
- 21・・・N型MOS トランジスタ
- 22・・・半導体装置のI/Oセル

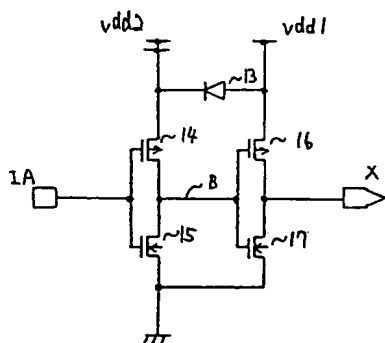
以 上

出願人 セイコーエプソン株式会社
 代理人 井理士 鈴木 喜三郎(他1名)

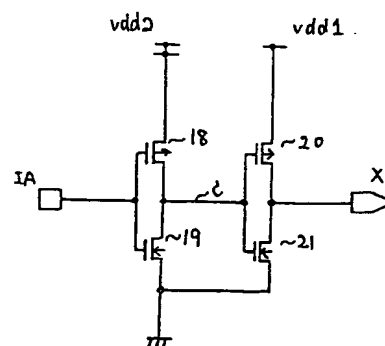


第1図

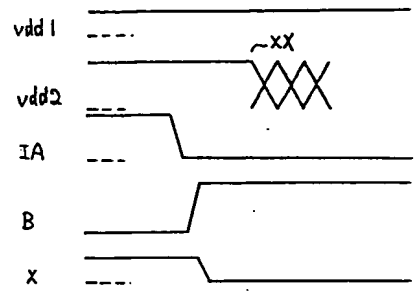
11



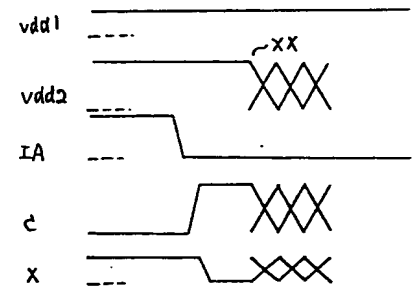
第2図



第3図



第4圖



第5圖